

Introduction au développement logiciel

Matériel

Georges-André Silber, Centre de recherche en informatique

Mines Paris — PSL, octobre 2026

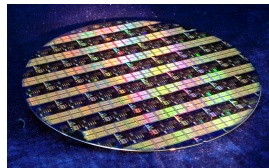
1. Le **cœur** d'un ordinateur est son **processeur**, qui agit sur une **mémoire principale** organisée en cases de taille fixe, accessibles par des **adresses**, en utilisant des cases de travail appelées **registres**.
2. Un processeur est un **automate** qui exécute, sous tension, une suite d'**instructions** se trouvant en mémoire, en commençant à une adresse stockée dans un registre spécial : le **compteur ordinal** (PC, *program counter*).
3. Les ordinateurs modernes ont une architecture de type **Von Neumann**.
4. Un processeur ne se programme que par les instructions de son **architecture externe** (ISA, *instruction set architecture*).

5. Les instructions se regroupent en **trois classes** : affectations, tests et branchements.
6. L'**affectation** altère le contenu d'une case mémoire : copie d'une case vers une autre, éventuellement modifiée par une opération arithmétique.
7. Le **test** compare deux valeurs, constantes ou en mémoire; son résultat sert à exécuter ou non une instruction.
8. Après une instruction, le processeur exécute normalement celle qui suit en mémoire (PC est incrémenté). Le **branchement** fait exécuter une instruction située à une autre adresse en altérant PC.

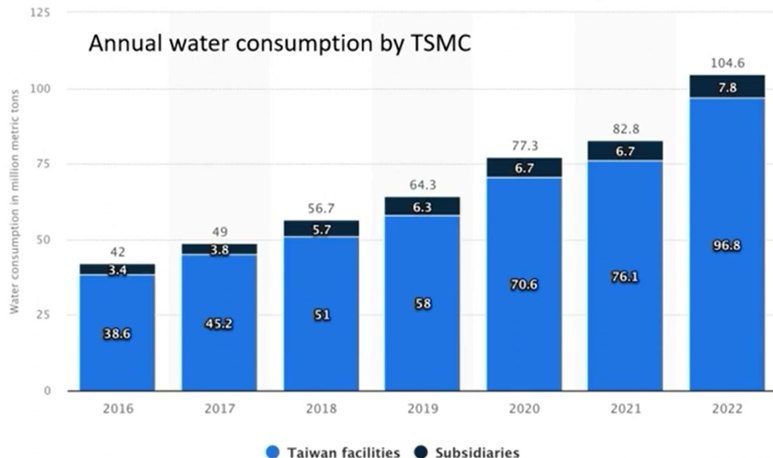
9. Le langage constitué par l'ISA est **Turing complet** : il permet d'implémenter la séquence, la sélection (*if*) et l'itération (*while*), les trois structures de contrôle du théorème de Böhm–Jacopini.
10. Tanenbaum distingue **trois niveaux** matériels :
 - Niveau 2** architecture externe (ISA) : *huit registres d'usage général; ADD additionne deux registres quelconques dans un troisième.*
 - Niveau 1** microarchitecture : *traitement pipeliné, deux unités arithmétiques et logiques capables d'effectuer l'addition.*
 - Niveau 0** réalisation en logique numérique : *CMOS, trois niveaux de métaux, finesse de gravure de 130 nm.*

Transistors et circuits intégrés

- Premiers ordinateurs : relais électriques, tubes à vide.
- **1947** : le **transistor** (William Shockley).
- **1958** : le **circuit intégré** sur silicium, inventé simultanément par Jack Kilby (Texas Instruments, prix Nobel 2000) et Robert Noyce (Fairchild).
- **1968** : Noyce fonde Intel avec Gordon Moore.
- **1971** : premier **microprocesseur**, l'Intel 4004, 2 300 transistors.



Source : T. Ernst, L.-Å. Ragnarsson, et J.-P. Raskin, « *Sustainable materials and production* », HiPEAC Vision 2024, janv. 2024.

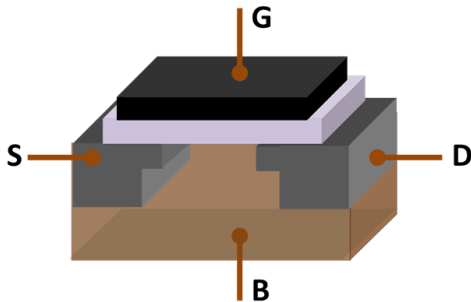


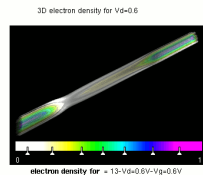
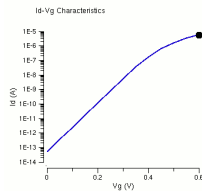
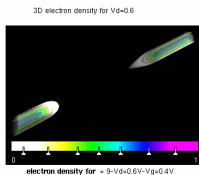
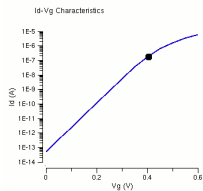
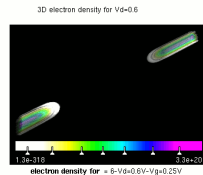
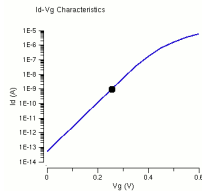
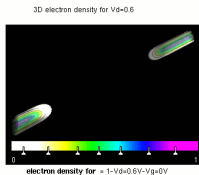
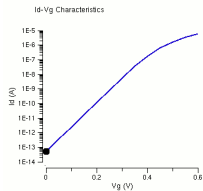
Source : L. Eeckhout, « Sustainable computer systems », HiPEAC 2024 Keynote 2, 23 février 2024.

<https://www.youtube.com/watch?v=jUw7QQ-a00Q>

MOSFET

- Transistor à effet de champ à grille isolée (*Metal-oxide-semiconductor field-effect transistor*).
- Théorisé en **1920**, utilisé dans les circuits intégrés depuis **1965**.
- Premier transistor compact **miniaturisable** et **produit en masse**.
- Deux types, *p* et *n*, utilisés conjointement : technologie **CMOS** (*Complementary MOS*).
- Grille G, source S, drain D, substrat B.



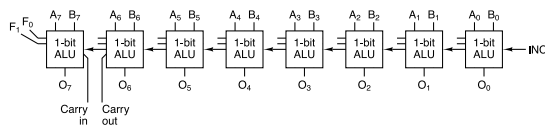
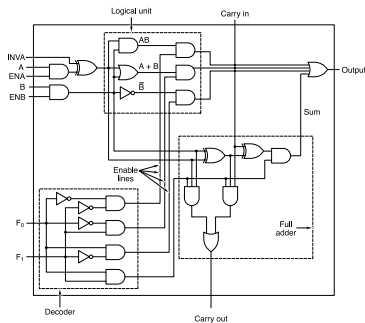


Source : <https://en.wikipedia.org/wiki/MOSFET>

10 μm	1971	800 nm	1987	130 nm	2001	22 nm	2012	3 nm	2022
6 μm	1974	600 nm	1990	90 nm	2003	14 nm	2014	2 nm	2023
3 μm	1977	350 nm	1993	65 nm	2005	10 nm	2016	1,4 nm	2029
1,5 μm	1981	250 nm	1996	45 nm	2007	7 nm	2018		
1 μm	1984	180 nm	1999	32 nm	2009	5 nm	2020		

La finesse de gravure ne cesse de décroître depuis les années 70 ; la technologie MOSFET est toujours utilisée aujourd'hui.

Portes logiques et mémoires



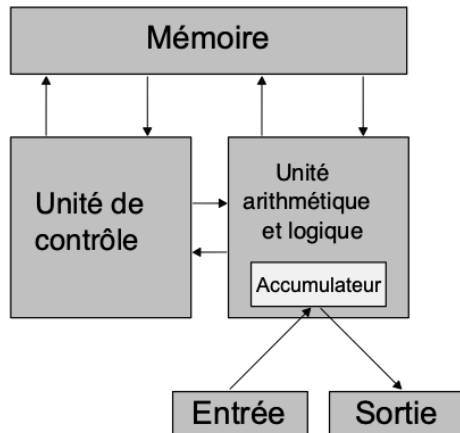
La combinaison de transistors, condensateurs, résistances et diodes permet de réaliser des circuits pour **calculer** et **stocker** de l'information.

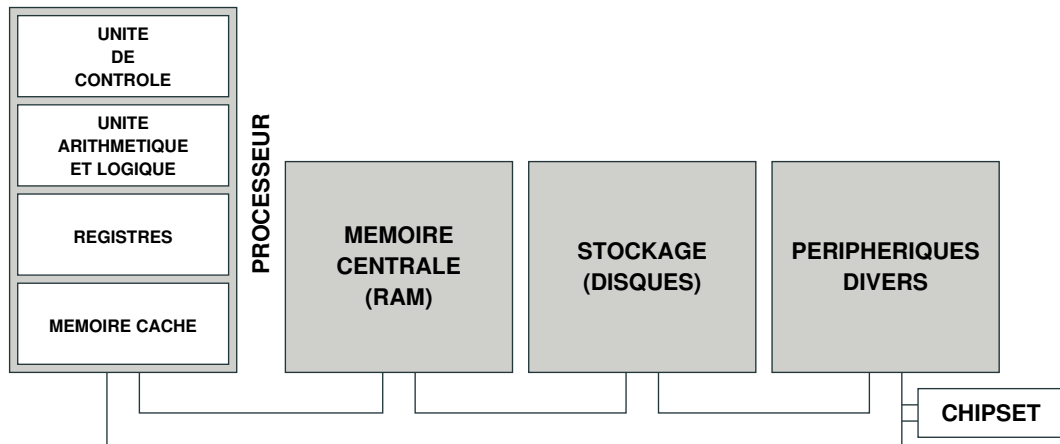
Loi de Moore

Machine de Von Neumann

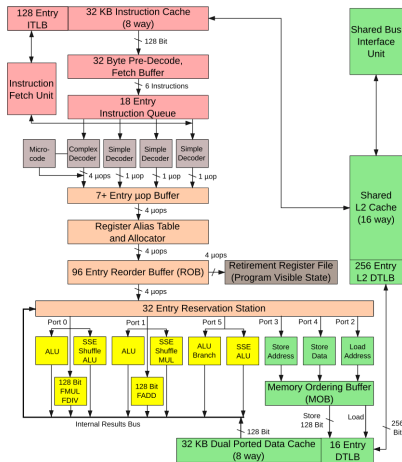
L'ordinateur est décomposé en quatre parties :

- l'**unité arithmétique et logique (UAL)** : opérations de base ;
- l'**unité de contrôle**, chargée du séquençage des opérations ;
- la **mémoire**, qui contient à la fois les **données** et le **programme** ;
- les dispositifs d'**entrée-sortie**, pour communiquer avec le monde extérieur.





Vue (moins) simplifiée d'une architecture de processeur

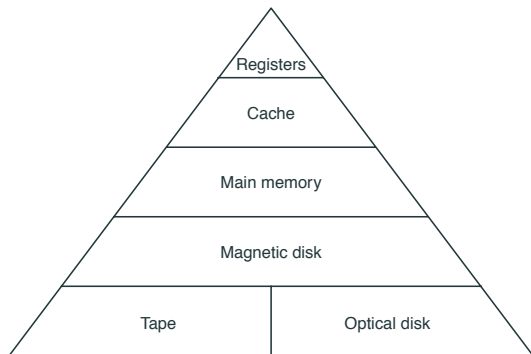


Intel Core 2 Architecture

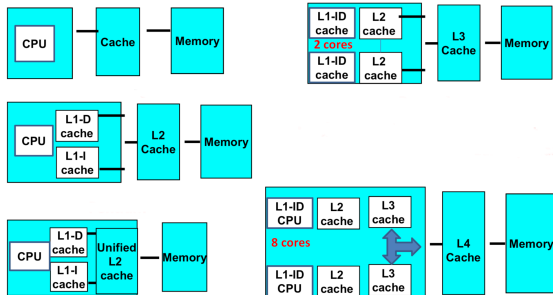
Hiérarchie mémoire, caches et pages

« There are 2 hard problems in computer science : cache invalidation, naming things, and off-by-1 errors. »

— Leon Bambrick

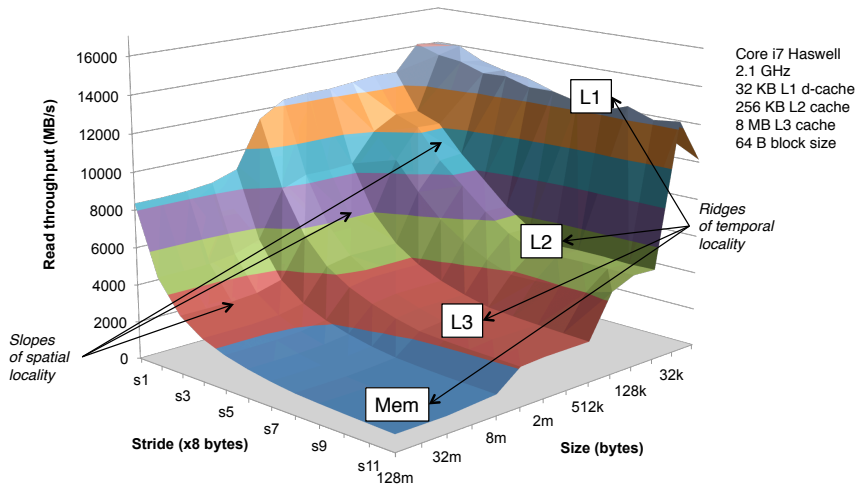


- Plusieurs technologies, représentées en pyramide.
- En haut : le plus **rapide**, la plus **petite** capacité.
- En bas : le plus **lent**, la plus **grande** capacité.

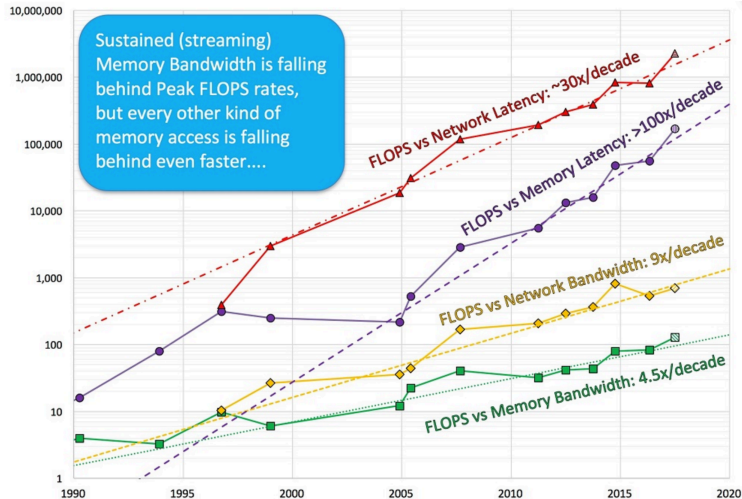


- Exploitent la **localité spatiale** et **temporelle** des programmes.
Première fois en 1968, IBM 360/85.
- Unité de base : la **ligne de cache**, 32 ou 64 octets contigus.
- 1 à 3 niveaux entre RAM et processeur, de quelques Ko à plusieurs Mo.
- Contiennent données, instructions et correspondances d'adresses (TLB).

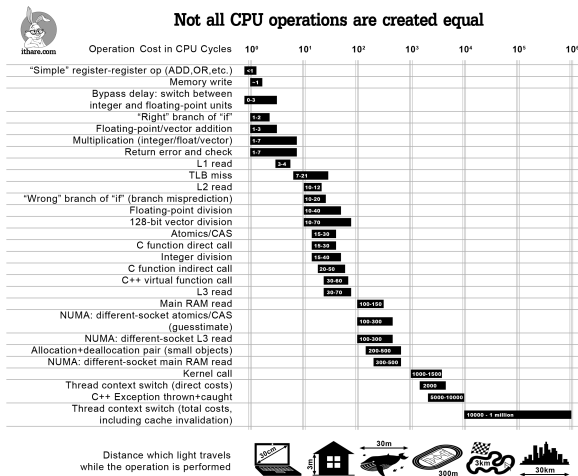
- La plupart des systèmes d'exploitation transforment la RAM en un **cache de pages** de quelques Ko (par exemple 4 Ko).
- Une partie des disques stocke les pages non utilisées à un instant t .
- La mémoire vive disponible est alors la somme de la RAM et de cet espace de stockage.



Source : Bryant et O'Hallaron, *Computer Systems : A Programmer's Perspective*, 3e éd. <https://csapp.cs.cmu.edu/3e/figures.html>



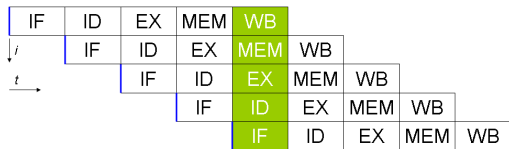
Coût des opérations sur un processeur



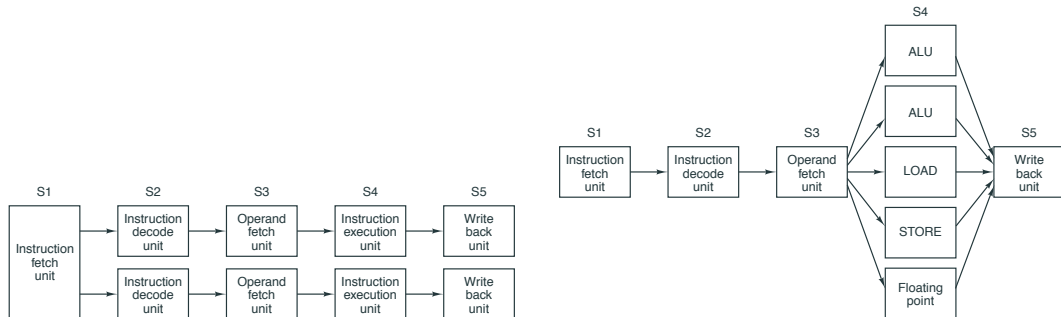
Source: <http://ithare.com/infographics-operation-costs-in-cpu-clock-cycles/>

Pipelines

- IF** *Instruction Fetch* : charge l'instruction dans le pipeline.
- ID** *Instruction Decode* : décode l'instruction, adresse les registres.
- EX** *Execute* : exécute sur la ou les unités arithmétiques et logiques.
- MEM** *Memory* : transfert registre vers mémoire (STORE) ou mémoire vers registre (LOAD).
- WB** *Write Back* : stocke le résultat dans un registre, depuis la mémoire (LOAD), l'unité de calcul (EX) ou un registre (MOV).

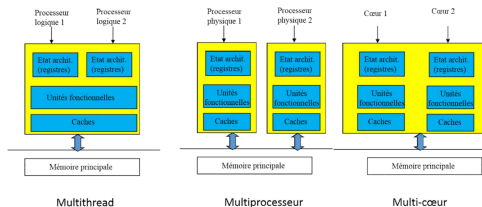
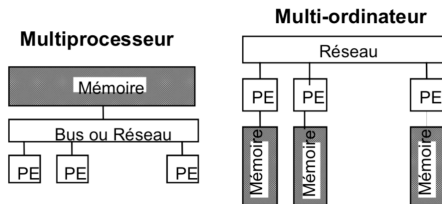


- Chaque instruction prend **5 cycles** au mieux (latence).
- Sans pipeline : 3 instructions prennent 15 cycles. À 2 GHz, **400 millions** d'instructions terminées par seconde.
- Avec pipeline : une instruction terminée par cycle, soit **2 milliards** par seconde au mieux.

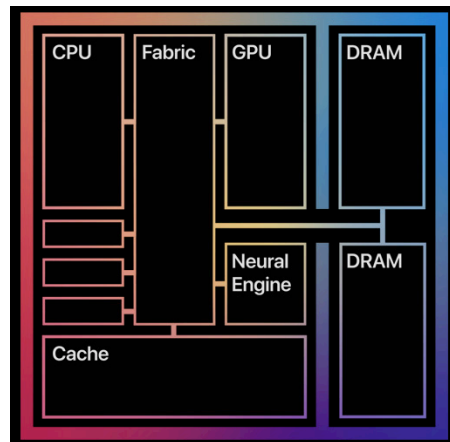
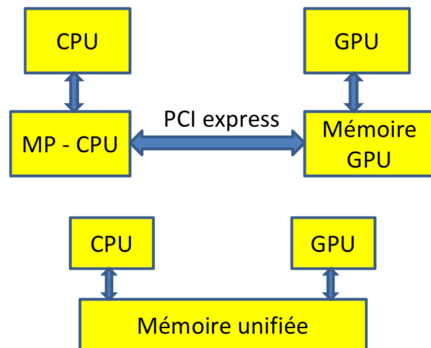


La plupart des processeurs modernes intègrent plusieurs pipelines (**superscalaires**) ; les processeurs **VLIW** utilisent des instructions longues effectuant plusieurs opérations dans l'UAL.

Architectures parallèles



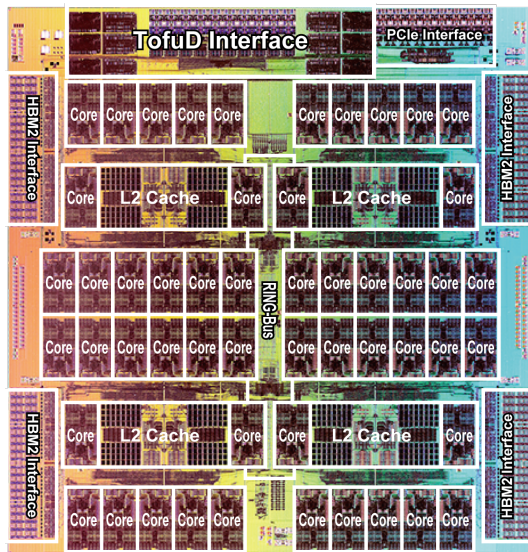
Chaque processeur peut lui-même être subdivisé en plusieurs cœurs.



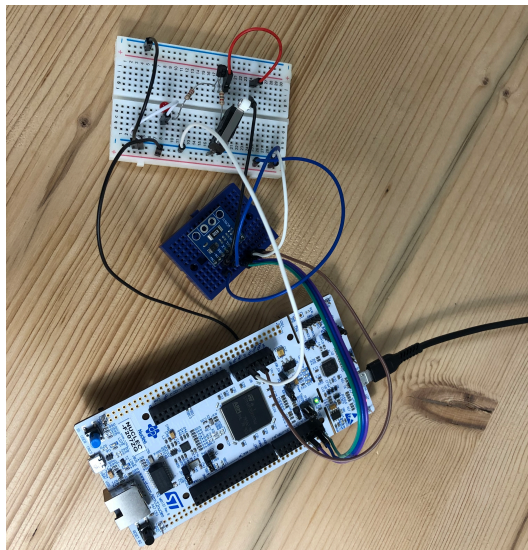
Le GPU comme coprocesseur de calcul parallèle; partage de la mémoire; architecture du processeur M1 d'Apple (à droite).

Top 500

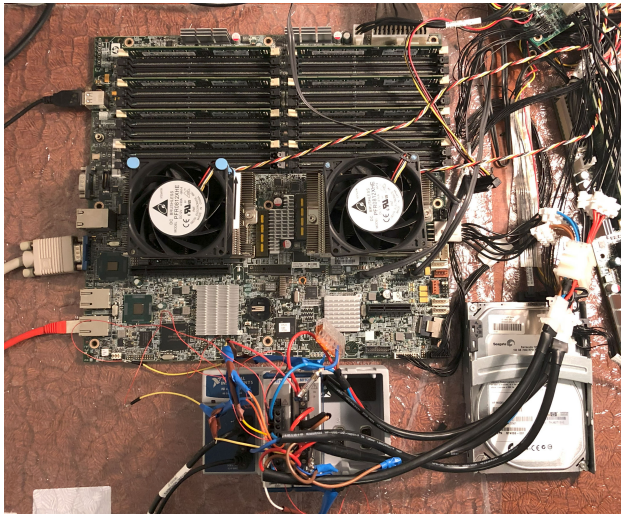
- Depuis 1993, top500.org classe les 500 ordinateurs les plus puissants.
- 7 630 848 cœurs, 158 976 nœuds, 4,85 PiB de mémoire.
- 442 PFlop/s mesurés par Linpack.
- Chaque nœud : un processeur Arm **A64FX** de 52 cœurs, dont 4 pour l'OS et 4 pour les échanges mémoire NUMA.
- Instructions vectorielles de 512 bits (SVE).



Mesurer



- Microcontrôleur STM32 (Arm Cortex-M7) sur carte Nucleo
- Mesure tension/courant avec une sonde INA226
- Pas de système d'exploitation : le programme parle directement au matériel
- → TP du chapitre 2



- Sondes de mesure tension/courant conçues au CRI
- 25 points de mesure par serveur
- *Nano-benchmarks bare metal*
- → modèles de coût en énergie